

CLIPPEDIMAGE= JP356105669A
PAT-NO: JP356105669A
DOCUMENT-IDENTIFIER: JP 56105669 A
TITLE: MANUFACTURE OF MESA TYPE SEMICONDUCTOR PELLET

PUBN-DATE: August 22, 1981

INVENTOR-INFORMATION:

NAME

AIMI, TOSHIHIKO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP55008543

APPL-DATE: January 28, 1980

INT-CL (IPC): H01L029/06; H01L021/306

US-CL-CURRENT: 257/127, 257/170, 257/496, 257/620, 257/622,
257/626

ABSTRACT:

PURPOSE: To obtain a chip in high withstand voltage by a method wherein the semiconductor pellet is etched to be made mesa-type by using the first mask by photoresist and the second mask by screen printing which comes inside the 1st mask by the length approximately equal to a quantity of the pellet applied a side-etching in lateral direction after the mesa etching being applied.

CONSTITUTION: P type layers 2, 3 are formed on both the face and the reverse of an N type Si substrate 1, respectively, an N type region 4 being diffusion-formed in the layer 2 on the top surface to be made the semiconductor chip in PNP-structure, SiO₂ films 5 to be made masks being cover-attached on the face and the reverse respectively and perforated openings 6 using the photoresist. At this time, the films 5 are

opened holes due to
pinholes being already made in the resist and the Si layer
also is grown with
holes through those holes 7, so that the Si layer is
printed after positioning
by the screen printing using abietic wax and applied the
mesa etching after the
mask 9 having been formed inside the films 5. Thus, a
withstand decrease
caused by holes is avoided to enable the yield to be
improved.

COPYRIGHT: (C)1981,JPO&Japio

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑪ 特許出願公開
昭56—105669

⑫ Int. Cl.³
H 01 L 29/06
21/306

識別記号

庁内整理番号
7514—5F
7131—5F

⑬ 公開 昭和56年(1981)8月22日

発明の数 1
審査請求 未請求

(全 2 頁)

⑮ メサ型半導体ペレットの製造方法

⑯ 特 願 昭55—8543
⑰ 出 願 昭55(1980)1月28日
⑱ 発 明 者 相見俊彦

東京都港区芝五丁目33番1号日
本電気株式会社内
⑲ 出 願 人 日本電気株式会社
東京都港区芝五丁目33番1号
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

メサ型半導体ペレットの製造方法

2. 特許請求の範囲

半導体基板の片側又は両側より溝を設けてメサ型半導体ペレットを製造する際に、フォトリソト等の光学的手法を用いて形成した第1のマスクの上に、さらにスクリーン印刷法等を用いて、メサエッチ後に横方向にサイドエッチされる筈とほぼ等しい長さだけ第1マスクから内側に入る様に第2のマスクを形成してからエッチングを行なう事を特徴とするメサ型半導体ペレットの製造方法。

3. 発明の詳細な説明

この発明はメサ型半導体ペレットの製造方法に係り、特にメサ型半導体チップのメサエッチ工程に関するものである。

シリコン半導体基板の片側(又は両側)よりメ

サ溝を設けたいいわゆるメサ型半導体装置の製造工程においてメサ溝を形成する場合、従来はあらかじめシリコン基板表面に高温においてシリコン酸化皮膜を設け公知の光学的手法を用いて選択的にメサ溝となる部分の酸化膜をとり除いて後弗酸系のエッチング液にてシリコン酸化膜をマスクとしてメサエッチングを行ってメサ溝を形成していた。

この場合、シリコン酸化膜には光学的手法で選択的に酸化膜を除去する際にフォトリソト膜にあるピンホール、シリコン酸化膜の欠陥等によりマスクとなるべき酸化膜に微少なピンホールが生じ、これがメサエッチングの際に穴となりペレットの電気的特性をそこない、外観不良となる等の欠点を有していた。又酸化膜をマスクとせず金属膜を蒸着等で設けこれをフォトリソトで同様に選択的に除去することによりマスクとする方法があるがこれもフォトリソトのピンホールによる金属膜の欠陥は同様に起り同じ欠点を有している。又ワックス等を選択的に塗布してこれをマスクとして用いる方法もあるがペレット周辺がワックス

が流れるために直線とならず凸凹となり、耐圧特性が劣化してしまい好ましくない。

本発明はかかる欠点を除去し、ペレット表面に穴の発生を抑えることにより耐圧、外観の歩留りも向上させるための製造方法を提供することにある。

本発明によればかかる欠点をなくするため、ペレット周辺部を直線性を得るためにフォトレジスト等の光学的手法を用いて第1のマスクを構造し、その上にさらにスクリーン印刷法等を用いてワックスを第1のマスクよりメサエッチ後に横方向にサイドエッチされる量とほぼ等しく内側に入る様に第2のマスクを形成するしかる後に溝部のエッチングを行うとペレット周辺部は光学的手法により形成された第1のマスクにより直線が維持され又第1のマスク上にあるピンホール等の欠陥は第2のマスクがカバーするため穴の発生がなく歩留りよくメサ型半導体ペレットを製造できる。又この際第1のマスクより第2のマスクをメサエッチ工程で起る横方向のエッチング(サイドエッチ)

- 3 -

4. 図面の簡単な説明

第1図は従来の光学的手法にてシリコン酸化膜上に選択的なマスクを設けたシリコン基板、第2図はそれをエッチングした後ガラスを塗布したシリコン基板、第3図は本発明の実施例によるシリコン酸化膜及びアビエゾンワックスの2重のマスクを設けたシリコン基板、第4図はそれをエッチングした後ガラスを塗布したシリコン基板をそれぞれ示す断面図である。

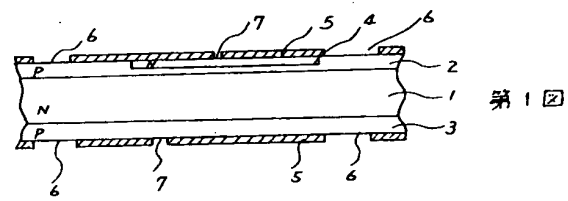
なお図において、1……N型シリコン基板、2……P型ベース拡散層、3……アノードP型拡散層、4……カソードN型拡散層、5……シリコン酸化膜マスク、6……酸化膜開口部、7……酸化膜上ピンホール、8……シリコンピンホール、9……アビエゾンワックスマスク、10……ガラス。

代理人 弁理士 内 原 普

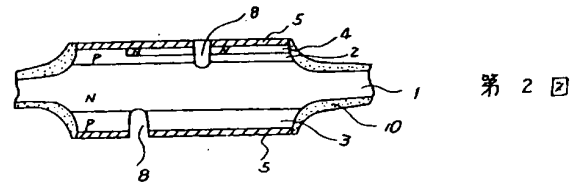
の量とはほぼ同じ程度内側に入れることがマスク精度からして最大の効果を上げることが判った。

次に本発明の一実施例について図面を参照して説明する。ガリウム及びリンを用いてP-N-P-N接合3,1,2,4を形成したシリコン基板1第1図を高温で酸化し、シリコン酸化膜5を設け、フォトレジストを用いて開口部6を設ける。この際にフォトレジストのピンホールによって酸化膜が部分的にとられた酸化膜欠部7が生ずることがある。これを従来の様にこのままエッチングを行うと第2図で示すように穴部7はエッチング後にエグレを生じ、シリコン穴8を生ずることとなる。従って本発明では、例えばアビエゾンワックスを用いてスクリーン印刷機にて目合せ印刷を行い、マスク9を装置より設けて後エッチングを行う。この様にすると酸化膜上の穴部7等はエッチングされることはない。さらに電気泳動法を用いてガラス10をつけると接合が完全にパッシベーションが行われ歩留りも非常に良好であった。

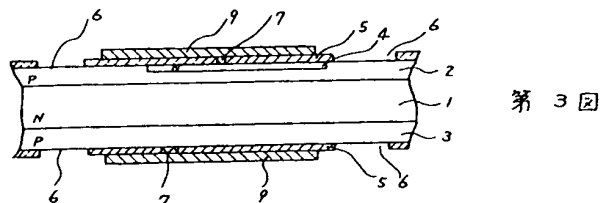
- 4 -



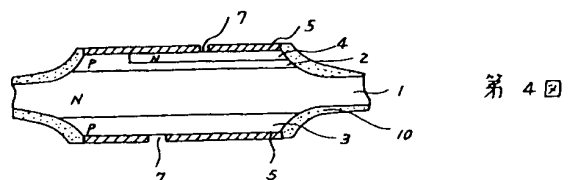
第1図



第2図



第3図



第4図

- 5 -